

# LOGIČKA KOLA SA MOS TRANZISTORIMA 3. deo



1

## Dinamičke karakteristike CMOS invertora

MOS FET tranzistori po prirodi svog funkcionisanja imaju velike interne kapacitivnosti.

Na primer, da bi se formirao kanal moraju da se dovedu naelektrisanja na gejt tranzistora koja će iz osnove „privući“ naelektrisanja potrebna za formiranje kanala.

Ova i slične kapacitivnosti koje poseduje tranzistor će dominantno uticati na brzinu rada.

Te kapacitivnosti opterećuju sam invertor ali isto tako i prethodni invertor koji mu prosleđuje logičke nivoe.

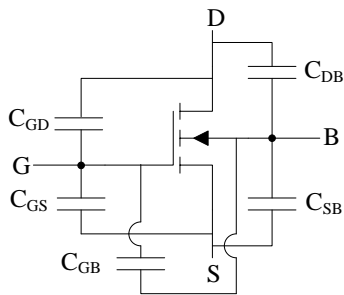
Parazitne kapacitivnosti vodova i dalje postoje, ali njih možemo smatrati relativno konstantnim.

Problem sa kapacitivnostima CMOS invertora je što zavise od dimenzija tranzistora. I dok smo u prethodnim slučajevima menjali dimenzije tranzistora da bi dobili odgovarajuće statičke karakteristike, videćemo da će to itekako uticati na dinamički režim



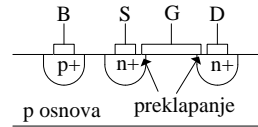
2

## Kapacitivnosti MOS FET tranzistora su



$C_{GB}$  - prirodna kapacitivnost između gejta i osnove za MOS FET tranzistor – dovođenje naelektrisanja iz osnove u kanal

$C_{GD}$ ,  $C_{GS}$  – Oblast gejta mora da pokrije oblast kanala. Međutim teško je obezbediti tehnološki da bude „samo“ iznad kanala. Prekrice delimično i oblasti sorsa i dreja, a time će se pojaviti i ova kapacitivnost.



$C_{DB}$ ,  $C_{SB}$  – Kapacitivnosti spojeva osnove i drejna (pn spoj – dioda), odnosno osnove i sorsa (pn spoj – dioda)



3

Režim rada	$C_{GCB}$	$C_{GCS}$	$C_{GCD}$	$C_{GC}$	$C_G$
zakočen	$C_{ox}WL$			$C_{ox}WL$	$C_{ox}WL+2C_0W$
omska oblast	0	$C_{ox}WL/2$	$C_{ox}WL/2$	$C_{ox}WL$	$C_{ox}WL+2C_0W$
zasićen	0	$(2/3)C_{ox}WL$		$(2/3)C_{ox}WL$	$(2/3)C_{ox}WL+2C_0W$

Ove kapacitivnosti zavise od dimenzija tranzistora, tehnoloških parametara ali i od režima u kojem tranzistor radi. Na primer za ukupnu kapacitivnost gejta  $C_G$

$W$  – širina kanala

$L$  – dužina kanal

$C_{GCB}$ ,  $C_{GCS}$ ,  $C_{GCD}$  – kapacitivnosti gejta koje potiču od kanala, prema osnovi, sorsu, drejnu, respektivno

$C_{GC}$  - ukupna kapacitivnost gejta koja potiče od kanala

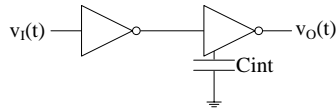
$C_0$  – jedinična kapacitivnost (normirana po širini kanala) koja potiče od preklapanja oblasti gejta i sorsa, odnosno gejta i drejna.



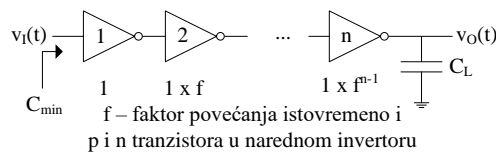
4

Zbog ovih kapacitivnosti pojavljuju nam se **DVA** problema.

1. Koliki treba da je odnos  $k_p$  i  $k_n$  (odnosno  $W_p$  i  $W_n$ ) u jednom CMOS invertoru da bi se minimiziralo kašnjenje kada taj invertor treba da puni i prazni spoljne kapacitivnosti, koje su posledica ulaza u naredna logička kola.



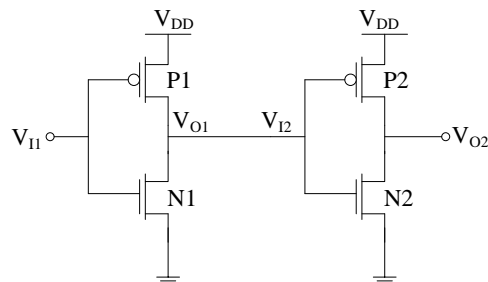
2. Koliki treba da je međusobni odnos dimenzija tranzistora među CMOS invertorima (unutar jednog ćemo odrediti odnose  $W_p$  i  $W_n$  rešavajući prethodni slučaj) da bi se minimiziralo kašnjenje u lancu invertora koji treba (lanac treba) da puni i prazni spoljne kapacitivnosti, a da ulazna kapacitivnost u lanac ostane minimalna.



5

### Optimizacija kašnjenja u jednom CMOS invertoru

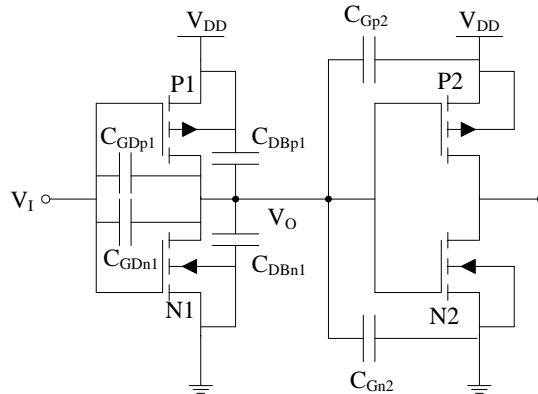
Analizirajući statičke karakteristike CMOS invertora već smo videli da bi zbog različitih pokretljivosti nosilaca i dimenzije P i N tranzistora trebale da budu različite, da bi dobili „dobru“ karakteristiku prenosa. Na žalost to će uticati na ukupnu kapacitivnost kojom je invertor opterećen ako mu se na izlazu nalazi isti takav invertor, odnosno na kapacitivnost kojom invertor opterećuje prethodno stepen. Zbog toga ćemo posmatrati realnu situaciju koja nam se u digitalnom sistemu pojavljuje, veze dva invertora



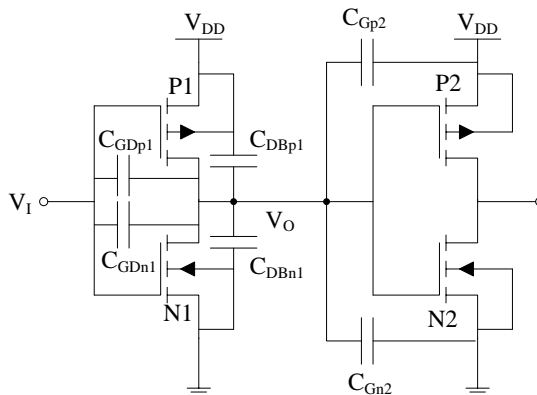
6

Ideja je da na isti način menjamo odnose dimenzija P i N tranzistora i u 1. i u 2. invertoru i da vidimo efekat na kašnjenje PRVOG invertora. Mogli smo da krenemo i od pretpostavke da je 1. invertor neopterećen spoljnim kapacitivnostima (videćete da ćemo dobiti isti rezultat) međutim ovo je situacija koja se pojavljuje u praksi.

U ovakvoj konfiguraciji kada promenimo odnose P i N tranzistora u 2. invertoru promeniće se i  $C_L$  što je mnogo bliže realnoj primeni. U toj realnoj primeni da vidimo koje kapacitivnosti utiču na brzinu rada.



7



Smatraćemo da se na ulazu u 1. Invertor nalazi idealni naponski izvor, sa beskonačnim strujnim kapacitetom, pa nam neće smetati ulazne kapacitivnosti gejta prema sorsu u oba tranzistora u PRVOM invertoru. Ali će uticati kapacitivnosti gejta prema drejnu i P i N tranzistora pošto se one pune i prazne preko tranzistora sa konačnom otpornošću. Isto tako izlaz prvog invertora menja potencijal pa dolaze do izražaja kapacitivnosti izlaza, drejna prema osnovi. Kako je izlaz 1. invertora povezan na ulaz 2. Invertora on će biti opterećen ukupnim kapacitivnostima gejtova i P i N tranzistora u 2. Invertoru.



8

Polazne pretpostavke su nam  $L_{n1} = L_{p1}$  i  $L_{n2} = L_{p2}$ ,  $W_{n1} = W_{p1}$  i  $W_{n2} = W_{p2}$  a želimo da minimizujemo srednje kašnjenje invertora

$$t_p = \min\left(\frac{t_{pLH} + t_{pHL}}{2}\right)$$

tako što ćemo menjati širine kanala P tranzistora na isti način i u 1. i u 2. invertoru

Pod pretpostavkom da su u pitanju tranzistori sa kratkim kanalom, i da su za sve vreme prelaznih procesa bitnih za kašnjenje u zasićenju možemo odmah da pišemo za izlaz 1. invertora

$$t_{pLH} = 0.69R_{p1}C_L$$

$$t_{pHL} = 0.69R_{n1}C_L$$

gde je

$$R_p \approx \frac{3}{4} \frac{V_{DD}}{I_{Dpsat}} \left(1 - \frac{7}{9} |\lambda_p| V_{DD}\right) \text{ ili } \frac{3}{4} \frac{V_{DD}}{I_{Dpsat}} \left(1 - \frac{5}{6} |\lambda_p| V_{DD}\right)$$

$$R_n \approx \frac{3}{4} \frac{V_{DD}}{I_{Dnsat}} \left(1 - \frac{7}{9} \lambda_n V_{DD}\right) \text{ ili } \frac{3}{4} \frac{V_{DD}}{I_{Dnsat}} \left(1 - \frac{5}{6} \lambda_n V_{DD}\right)$$



$C_L$  ukupna kapacitivnost kojom je opterećen PRVI invertor

$$C_L = (C_{Dp1} + C_{Dn1}) + (C_{Gp2} + C_{Gn2})$$

gde je  $C_{Dp1}$  ukupna kapacitivnost na drejnu P tranzistora u PRVOM Invertoru.  $C_{DBp1}$  i preslikana kapacitivnost  $C_{GDp1}$  na izlaz (približnom Milerovom teoremom, kada se ulaz promeni sa 0 na  $V_{DD}$  izlaz se promeni sa  $V_{DD}$  na 0, ukupna promena napona na kapacitivnosti je  $2V_{DD}$ , a da bi bila ista količina naelektrisanja koja prolazi kroz tu kapacitivnost preslikana na izlaz gde je promena samo  $V_{DD}$  treba na izlazu da bude ekvivalentna kapacitivnost  $2C_{GDp1}$ ). Isto važi i za kapacitivnost  $C_{Dn1}$

Ako sada u oba invertora povećamo širinu kanala P tranzistora, pri čemu širine kanala N tranzistora ostaju iste, sa faktorom

$$\beta = \frac{\left(\frac{W}{L}\right)_p}{\left(\frac{W}{L}\right)_n}$$

sa dosta velikom tačnošću možemo smatrati da će se odgovarajuće kapacitivnosti povećati

$$C_{Dp1} \approx \beta C_{Dp1(\beta=1)} \approx \beta C_{Dn1}$$

gde je  $C_{Dp1(\beta=1)}$  kapacitivnost pre povećanja širine kanala kada je bilo  $W_{n1} = W_{p1}$

i sa punim pravom smemo smatrati  $C_{Dp1(\beta=1)} = C_{Dn1}$ .



Isto tako važi

$$C_{Gp2} \approx \beta C_{Gp2(\beta=1)} \approx \beta C_{Gn2}$$

gde je  $C_{Gp2(\beta=1)}$  kapacitivnost pre povećanja širine kanala kada je bilo  $W_{n2} = W_{p2}$  i sa punim pravom smemo smatrati  $C_{Gp2(\beta=1)} = C_{Gn2}$ , dok će ekvivalentna otpornost P tranzistora biti

$$R_{p1} \approx \frac{R_{p1(\beta=1)}}{\beta}$$

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = \frac{0.69}{2} (R_{n1} + R_{p1}) ((C_{Dp1} + C_{Dn1}) + (C_{Gp2} + C_{Gn2}))$$

$$t_p = \frac{0.69}{2} \left( R_{n1} + \frac{R_{p1(\beta=1)}}{\beta} \right) ((\beta C_{Dp1(\beta=1)} + C_{Dn1}) + (\beta C_{Gp2(\beta=1)} + C_{Gn2}))$$

$$t_p = \frac{0.69}{2} R_{n1} \left( 1 + \frac{r}{\beta} \right) ((1 + \beta)(C_{Dn1} + C_{Gn2}))$$

$$r = \frac{R_{p1(\beta=1)}}{R_{n1}} = \frac{\frac{3}{4} \frac{V_{DD}}{I_{Dpsat}} \left( 1 - \frac{7}{9} |\lambda_p| V_{DD} \right)}{\frac{3}{4} \frac{V_{DD}}{I_{Dnsat}} \left( 1 - \frac{7}{9} \lambda_n V_{DD} \right)} \approx \frac{I_{Dnsat}}{I_{Dpsat}} \Big|_{W_p=W_n} = \frac{\mu_n}{\mu_p}$$



$$t_p = \frac{0.69}{2} R_{n1} \left( 1 + \frac{r}{\beta} \right) ((1 + \beta)(C_{Dn1} + C_{Gn2}))$$

Funkcija kašnjenja  $t_p$  ima minimum po  $\beta$  kada je  $\frac{dt_p}{d\beta} = 0$

$$\left( 1 + \frac{r}{\beta} \right) + \left( -\frac{r}{\beta^2} (1 + \beta) \right) = 0$$

$$\beta^2 = r$$

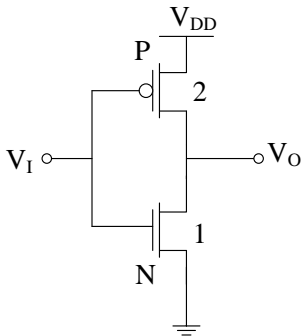
$$\beta = \frac{\left( \frac{W}{L} \right)_p}{\left( \frac{W}{L} \right)_n} = \frac{W_p}{W_n} = \sqrt{r} = \sqrt{\frac{\mu_n}{\mu_p}}$$

što je drugačiji rezultat od onog što smo dobijali za podešavanje statičke karakteristike prenosa  $\frac{W_p}{W_n} \approx \frac{\mu_n}{\mu_p}$ . Zbog toga se u praksi pravi kompromis koji najčešće rezultuje da je  $\frac{W_p}{W_n} \approx 2$ .



### Jedinični CMOS inverter minimalne geometrije

U ovom smislu se i definiše CMOS inverter minimalne geometrije – jedinični CMOS inverter. Dužine kanala P i N tranzistora su iste, MINIMALNE za datu tehnologiju, a širine zadovoljavaju neke od prethodnih izvedenih odnosa, ili kompromis tih zahteva. Najčešće je odnos 2:1. Zauzima „najmanje prostora“ i kapacitivnosti su minimalne.



Oznaka 1 i 2, normalizovane širine u datoj tehnologiji.

Ako se tehnologija promeni odnosi ostaju isti.

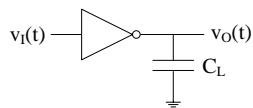
Zaključci ostaju isti.

Brojne vrednosti se menjaju na primer za otpornosti tranzistora, kašnjenje, itd..., ali je kašnjenje i dalje minimalno, prag odlučivanja na sredini napona napajanja itd...



### Optimizacija kašnjenja u lancu CMOS invertora

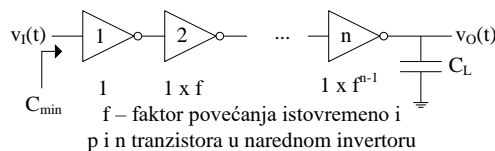
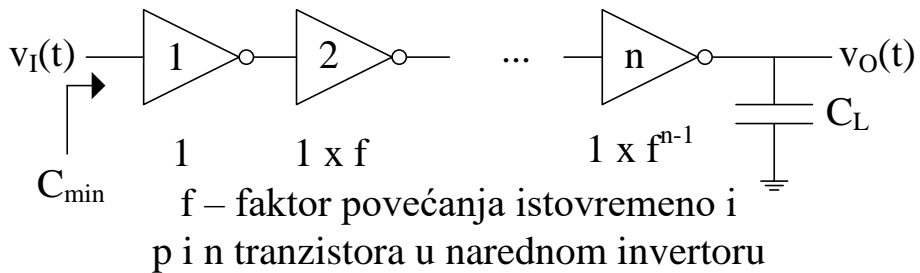
U situaciji kada inverter ima neku fiksnu parazitnu kapacitivnost na izlazu, relativno veliku, postavlja se isto pitanje kako dimenzionisati tranzistore da bi kašnjenje prouzrokovano tom kapacitivnošću bilo što je manje moguće.



Direktan odgovor je da treba povećati širine kanala oba tranzistora, zadržavajući njihov utvrđen odnos, tako da se povećaju strujni kapaciteti, odnosno smanje njihove otpornosti. Međutim na taj način ćemo značajno **povećati i internu kapacitivnost** samog invertora pa će on u **značajnoj meri opteretiti prethodno kolo i izazvati povećanje ukupnog kašnjenja**.



Rešenje je da probamo da napravimo **lanac** invertora, tako da ulaz u lanac ostane minimalne kapacitivnosti i minizujemo ukupno kašnjenje. Odnosi P i N tranzistora u jednom invertoru ostaju fiksni, i određeni odnosom jediničnog invertora. Prvi invertor u lancu je jedinični invertor kako bi dobili minimalnu ulaznu kapacitivnost.



Da napišemo izraze za kašnjenja, na osnovu prethodnih izvođenja, za prvi invertor:

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = \frac{0.69}{2} (R_{n1} + R_{p1}) ((C_{Dp1} + C_{Dn1}) + (C_{Gp2} + C_{Gn2}))$$

Ako označimo  $R_{eq} = \frac{R_{n1} + R_{p1}}{2}$ ,  $C_{int1} = C_{Dp1} + C_{Dn1}$  i  $C_{ext1} = C_{Gp2} + C_{Gn2}$  pa u opštem slučaju

$$t_{p1} = 0.69 R_{eq1} (C_{int1} + C_{ext1})$$

$$t_{p1} = 0.69 R_{eq1} C_{int1} \left( 1 + \frac{C_{ext1}}{C_{int1}} \right) = t_{p0} \left( 1 + \frac{C_{ext1}}{C_{int1}} \right)$$

gde je za prvi invertor  $t_{p0} = 0.69 R_{eq1} C_{int1}$ .





Videli smo da su sve kapacitivnosti kod MOS tranzistora u vezi, pa sigurno možemo da pišemo

$$C_{int1} = \gamma C_{G1}$$

gde je  $\gamma$  faktor proporcionalnosti i zavisi od upotrebene tehnologije. U tom slučaju

$$t_{p1} = t_{p0} \left( 1 + \frac{C_{ext1}}{\gamma C_{G1}} \right) = t_{p0} \left( 1 + \frac{C_{G2}}{\gamma C_{G1}} \right) = t_{p0} \left( 1 + \frac{f}{\gamma} \right)$$

gde je  $f = \frac{C_{G2}}{C_{G1}}$  efektivni fanout.

Šta je važno da uočite. Kao što smo ranije videli, ako smo dimenzije i P i N kanalnog tranzistora u i-tom invertoru povećali k puta u odnosu na jedinični invertor njihova ekvivalentna otpornost će biti  $R_{eq,i} = \frac{R_{eq1}}{k}$  a interna kapacitivnost  $C_{int,i} = k C_{int1}$ . Invertori su u istoj tehnologiji na istoj osnovi pa imaju jednake  $\gamma$ . Izraz za kašnjenje i-tog invertora u tom slučaju

$$t_{p,i} = 0.69 R_{eq,i} C_{int,i} \left( 1 + \frac{C_{G,(i+1)}}{\gamma C_{G,i}} \right) = t_{p0} \left( 1 + \frac{C_{G,(i+1)}}{\gamma C_{G,i}} \right) = t_{p0} \left( 1 + \frac{f_{(i+1)}}{\gamma} \right)$$



ukupno kašnjenje lanca invertora je u tom slučaju

$$t_p = \sum_{i=1}^{i=N} t_{p,i} = \sum_{i=1}^{i=N} t_{p0} \left( 1 + \frac{C_{G,(i+1)}}{\gamma C_{G,i}} \right) = N t_{p0} + \frac{t_{p0}}{\gamma} \sum_{i=1}^{i=N} \frac{C_{G,(i+1)}}{C_{G,i}}$$

gde je  $C_{G,(N+1)} = C_L$ . Ova funkcija ima minimum kada je

$$\frac{C_{G,2}}{C_{G,1}} = \frac{C_{G,3}}{C_{G,2}} = \dots = \frac{C_{G,i}}{C_{G,(i-1)}} = \frac{C_{G,(i+1)}}{C_{G,i}} \dots = \frac{C_L}{C_{G,N}}$$

odnosno kada je

$$C_{G,i} = \sqrt{C_{G,(i-1)} C_{G,(i+1)}}$$

$$f_i = f = \sqrt[N]{\frac{C_L}{C_{G,1}}} = \sqrt[N]{F}$$



ukupno kašnjenje je

$$t_p = Nt_{p0} \left(1 + \frac{f}{\gamma}\right) = Nt_{p0} \left(1 + \frac{\sqrt[N]{F}}{\gamma}\right)$$

Dobijeni izraz možemo da posmatramo na dva načina:

**Fiksiramo broj invertora u nizu  $N$ .**

Tražimo odnose dimenzija tako dobijemo minimalno kašnjenje. U tom slučaju

$$f = \sqrt[N]{\frac{C_L}{C_{G,1}}} = \sqrt[N]{F}$$

Invertor prvi u nizu je minimalne geometrije  $f_1 = 1$ . Drugi ima dimenzije tranzistora povećane  $f$  puta, a pošto nam treba ceo broj  $f_2 = \lfloor f + 0.5 \rfloor$  ( $\lfloor x \rfloor$ , ceo deo od  $x$ ,  $\lfloor x + 0.5 \rfloor$  najbliži ceo broj) treći  $f_3 = \lfloor f^2 + 0.5 \rfloor$ , itd... Ukupno kašnjenje je

$$t_p = Nt_{p0} + \frac{t_{p0}}{\gamma} \sum_{i=1}^{i=N} \frac{f_{(i+1)}}{f_i}$$



ukupno kašnjenje je

$$t_p = Nt_{p0} \left(1 + \frac{f}{\gamma}\right) = Nt_{p0} \left(1 + \frac{\sqrt[N]{F}}{\gamma}\right)$$

**Tražimo broj invertora u nizu  $N$  tako da dobijemo minimalno kašnjenje.**

U tom slučaju

$$t_p = Nt_{p0} \left(1 + \frac{f}{\gamma}\right) = Nt_{p0} \left(1 + \frac{\sqrt[N]{F}}{\gamma}\right)$$

diferenciramo po  $N$

$$\gamma + \sqrt[N]{F} - \frac{\sqrt[N]{F} \ln F}{N} = 0$$

i rešenje je

$$f = e^{\left(1 + \frac{\gamma}{N}\right)}$$

Na žalost ovo rešenje nema „zatvorenu formu“ i približno numeričkim izračunavanjem kada je  $\gamma \approx 1$  iznosi  $f = 3.6$ .



Znači u tom slučaju znajući ovo približno rešenje

$$f = \sqrt[N]{F} \Rightarrow N = \frac{\ln F}{\ln f} = \frac{\ln\left(\frac{C_L}{C_{G,1}}\right)}{\ln(3.6)}$$

Za N se bira najpribližniji neparan broj. Invertor prvi u nizu je minimalne geometrije  $f_1 = 1$ . Drugi ima dimenzije tranzistora povećane  $f = 3.6$  puta, a pošto nam treba ceo broj  $f_2 = [3.6 + 0.5]$  ( $[x]$ , ceo deo od  $x$ ,  $[x + 0.5]$  najbliži ceo broj) treći  $f_3 = [3.6^2 + 0.5]$ , itd... Ukupno kašnjenje je

$$t_p = Nt_{p0} + t_{p0} \sum_{i=1}^{i=N} \frac{f_{(i+1)}}{f_i}$$



Ili primerenije za ispit (a i u praksi je često tako)

$$f = \sqrt[N]{F} \Rightarrow N = \frac{\ln F}{\ln f} = \frac{\ln\left(\frac{C_L}{C_{G,1}}\right)}{\ln(4)}$$

Za N se bira najpribližniji neparan broj. Invertor prvi u nizu je minimalne geometrije  $f_1 = 1$ . Drugi ima dimenzije tranzistora povećane  $f_2 = 4$  puta, treći  $f_3 = 16$ , itd... Ukupno kašnjenje je

$$t_p = 5Nt_{p0}$$



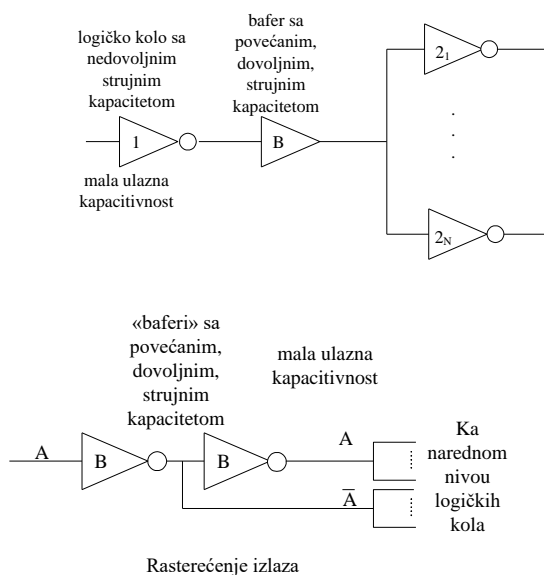
Ono što sigurno treba da uočite jeste da će ovakav lanac kada nije opterećen parazitnom kapacitivnošću imati interno kašnjenje mnogo veće nego jedinični invertor. Ili ako mu se iz nekog razloga smanji parazitna kapacitivnost, neće imati optimalno kašnjenje.

Zbog toga su se u realizaciji CMOS logičkih kola koristila i nebaferisna CMOS logička kola (ako očekujemo da parazitne kapacitivnosti na izlazu nisu velike a treba nam malo kašnjenje),

ali i duplo baferisana CMOS logička kola gde su na izlaz standardnog logičkog kola dodavana dva invertora čije su tranzistora povećane 4 odnosno 16 puta u odnosu na tranzistore u osnovnom logikom kolu, čime je predviđena neka standardna parazitna kapacitivnost na izlazu 64 puta veća od ulazne kapacitivnosti u logičko kolo.



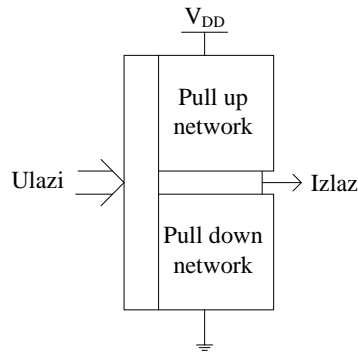
### Povećanje strujnog kapaciteta Rasterećenje izlaza



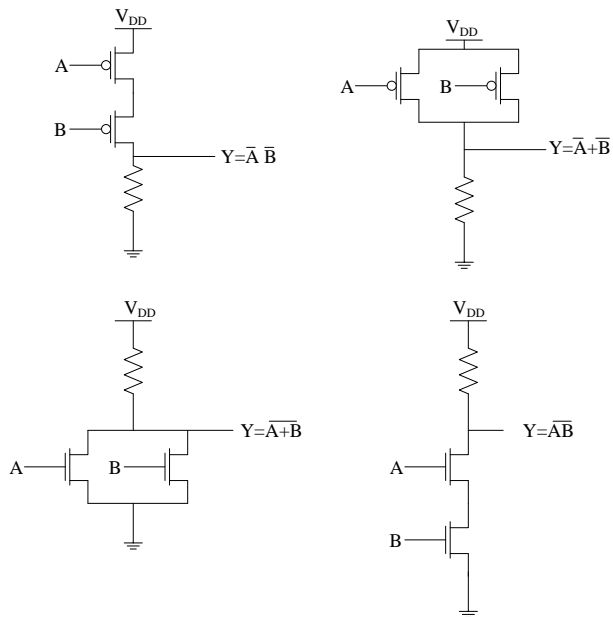
Rasterećenje izlaza

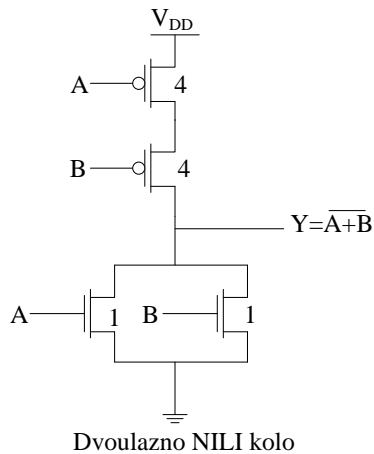
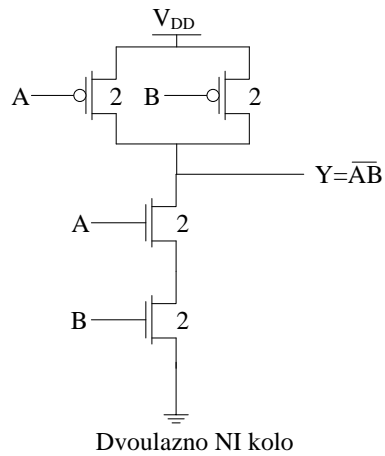
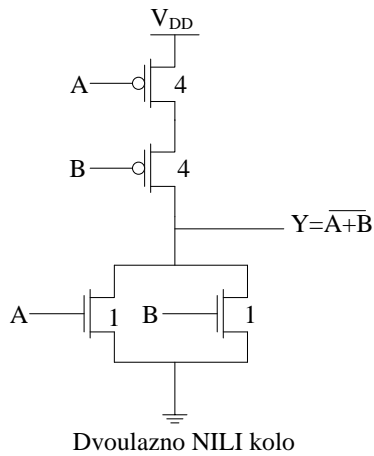


## Složena CMOS logička kola



1. Pull up network (PUN) deo kola koji na izlazu obezbeđuje logičku jedinicu
2. Pull down network (PDN) deo kola koji na izlazu obezbeđuje logičku nulu

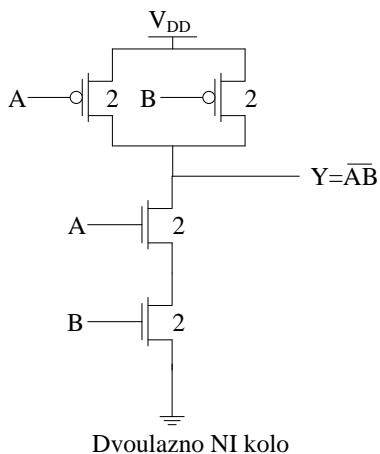




U PDN mreži se nalaze dva paralelno povezana nMOS tranzistora. Ako radi PDN mreža najgora situacija sa stanovišta ekvivalentne otpornosti je ako radi samo jedan tranzistor. Zato njihove normirane širine ostaju 1.

U PUN mreži se nalaze dva redno povezana pMOS tranzistora. Ako radi PUN mreža najgora situacija je da rade oba tranzistora čija je sada ekvivalentna dužina kanala 2 (dva redno povezana kanala). Da bi dobili ukupnu ekvivalentnu širinu 2, očigledno je da pojedine širine tranzistora moraju biti 4. ( $\frac{W}{1+1} = 2$ ).





U PDN mreži se nalaze dva redno povezana nMOS tranzistora. Ako radi PDN mreža najgora situacija je da rade oba tranzistora čija je sada ekvivalentna dužina kanala 2 (dva redno povezana kanala). Da bi dobili ukupnu ekvivalentnu širinu 1, očigledno je da pojedine širine tranzistora moraju biti 2. ( $\frac{W}{1+1} = 1$ ).

U PUN mreži se nalaze dva paralelno povezana pMOS tranzistora. Ako radi PUN mreža najgora situacija sa stanovišta ekvivalentne otpornosti je ako radi samo jedan tranzistor. Zato njihove normirane širine ostaju 2.



Ako se pogledaju ove dve konfiguracije jasno je i zašto se u praksi realizacije obično rade sa dvoulaznim NI logičkim kolima. Ukupna normirana površina koju zauzimaju tranzistori kod dvoulaznog NI logičkog kola je 8 naspram 10 kod dvoulaznog NILI logičkog kola. Površina NI logičkog kola je 20% manja od NILI logičkog kola.



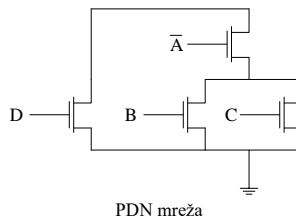
Na identičan način možemo realizovati i složenija logička kola sa više ulaza. Na primer funkciju

$$F = D + \overline{A}(B + C)$$

PDN mreža kao što smo videli pravi funkciju kod paralelno povezanih tranzistora  $\overline{A} + B$  a kod redno  $\overline{A}\overline{B}$  odnosno najbolje bi bilo da za realizaciju funkcije posmatramo oblik  $\overline{F}$  odnosno

$$\overline{F} = D + \overline{A}(B + C)$$

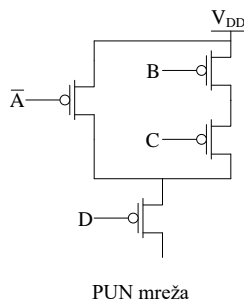
i u tom slučaju svako ILI daje paralelnu vezu a svako I rednu vezu, dok se na ulazima tranzistora nalaze promenljive sa pravim vrednostima iz ovakvog načina prikazivanja



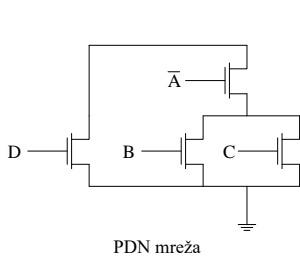
PUN mreža kao što smo videli pravi funkciju kod paralelno povezanih tranzistora  $\overline{A} + \overline{B}$  a kod redno  $\overline{A}\overline{B}$  odnosno najbolje bi bilo da za realizaciju funkcije posmatramo oblik  $F$  u kojem se pojavlju promenljive sa komplementnom vrednosti u odnosu na PDN mrežu

$$F = \overline{D}(A + \overline{B}\overline{C})$$

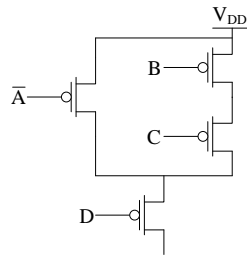
i u tom slučaju svako ILI daje paralelnu vezu a svako I rednu vezu, dok se na ulazima tranzistora nalaze promenljive sa komplementnim vrednostima iz ovakvog načina prikazivanja (što odgovara pravim vrednostima iz PDN mreže)







PDN mreža

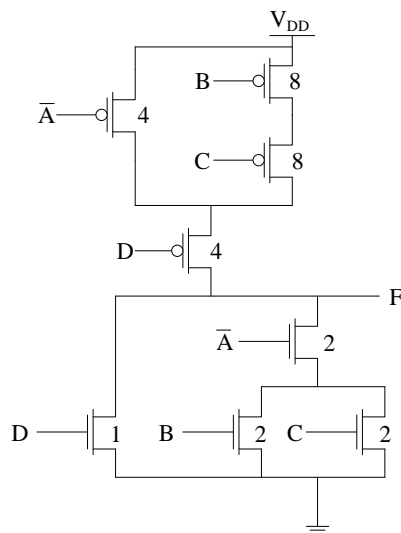


PUN mreža

Prilikom pravljenja PUN mreže mogli smo odmah da uzmemo u obzir prirodu dualnosti ovih mreža. Posmatrajući PDN mrežu - paralelne veze iz PDN mreže postaju redne veze u PUN mreži, redne veze iz PDN mreže postaju paralelne veze u PUN mreži. Na primer: tranzistor sa ulazom D je bio u PDN mreži paralelno povezan sa ostatkom mreže, dok će u PUN mreži biti redno povezan sa ostatkom mreže. Itd...

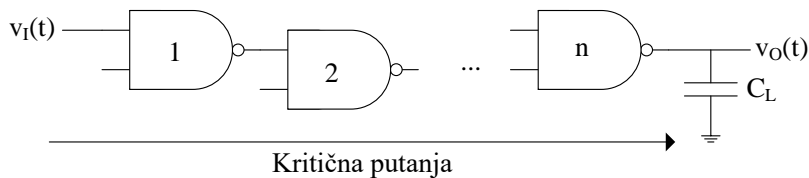


Kolo koje ostvaruje funkciju  $F = \overline{D + \overline{A}(B + C)}$  je



## Logical effort – logički trud

Na sličan način na koji smo optimizovali kašnjenje u lancu invertora možemo optimizovati kašnjenje i u lancu složenih, višulaznih, CMOS logičkih kola. U lancu složenih kola prvo uočimo kritičnu putanju.



Pod pojmom kritične putanje se podrazumeva prolazak signala kroz najveći broj logičkih kola, odnosno putanju po kojoj je kašnjenje najveće od ulaza do izlaza.



Da bi ipak malo drugačije posmatrali, a ne da svaki put izvodimo iste jednačine za različite tipove logičkih kola, zbog njihove različite ulazne i izlazne kapacitivnosti, vratimo se na polazne jednačine kod izvođenja u lancu invertora, odnosno na izraz za kašnjenje prvog jediničnog invertora

$$t_{p1} = 0.69R_{eq1}(C_{int1} + C_{ext1})$$

Uvešćemo pojam **karakteristične vremenske konstante jediničnog invertora**. U tom smislu ulazna kapacitivnost, kapacitivnosti gejtova, jediničnog invertora je

$$C_{in} = C_{OX}(W_n L_n + W_p L_p)$$

Uz pretpostavku  $L_n = L_p = L$  i  $W_p = 2W_n = 2W$

$$C_{in} = 3C_{OX}WL = 3W_n C_g$$

gde je  $C_g = C_{OX}L_n$  normirana kapacitivnost po širini kanala tranzistora. U tom slučaju karakteristična vremenska konstanta jediničnog invertora je

$$\tau_{inv} = 0.69R_{eq}C_{in} = 3WC_g \times 0.69R_{eq}$$



U tom slučaju

$$t_{p1} = 0.69R_{eq1}(C_{int1} + C_{ext1}) = 0.69R_{eq1}C_{in} \left( \frac{C_{ext1}}{C_{in}} + \frac{C_{int1}}{C_{in}} \right)$$

$$t_{p1} = \tau_{inv} \left( \frac{C_{ext1}}{C_{in}} + \frac{C_{int1}}{C_{in}} \right)$$

i mogli smo da nastavimo optimizaciju sa ovim izrazom kod lanca invertora,

$$t_p = \sum_{i=1}^{i=N} t_{p,i} = \sum_{i=1}^{i=N} 0.69R_{eq,i}C_{in,i} \left( \frac{C_{ext,i}}{C_{in,i}} + \frac{C_{int,i}}{C_{in,i}} \right) = \sum_{i=1}^{i=N} \tau_{inv} \left( \frac{C_g W_{i+1}}{C_g W_i} + \gamma \right)$$

$$t_p = \sum_{i=1}^{i=N} \tau_{inv} \left( \frac{W_{i+1}}{W_i} + \gamma \right)$$

gde je  $C_g W_{N+1} = C_L$  i  $R_{eq,i}C_{in,i} = \frac{R_{eq1}}{f}(C_{in1}f) = R_{eq1}C_{in1}$ . Dobili bi isti rezultat. Karakteristična vremenska konstanta jediničnog invertora je praktično jednaka kašnjenju jediničnog invertora kada nije opterećen i pod uslovom da je  $\gamma \approx 1$ .



Na isti način na koji smo do sada radili mogli bi da napišemo izraze i za lanac NI logičkih kola. Za prvo NI logičko kolo u lancu

$$t_{p1} = \tau_{NAND} \left( \frac{C_{ext1}}{C_{in}} + \gamma_{NAND} \right)$$

i ukupno kašnjenje

$$t_p = \sum_{i=1}^{i=N} \tau_{NAND} \left( \frac{W_{i+1}}{W_i} + \gamma_{NAND} \right)$$

pri čemu je uz pretpostavke za NAND  $L_n = L_p = L$  i  $W_p = W_n = 2W$

$$\tau_{NAND} = 4WC_g \times 0.69R_{eq}$$



Na isti način na koji smo do sada radili mogli bi da napišemo izraze i za lanac NILI logičkih kola. Za prvo NILI logičko kolo u lancu

$$t_{p1} = \tau_{NOR} \left( \frac{C_{ext1}}{C_{in}} + \gamma_{NOR} \right)$$

i ukupno kašnjenje

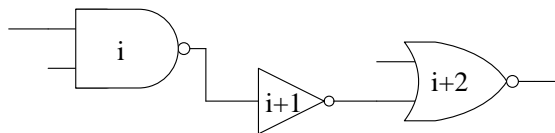
$$t_p = \sum_{i=1}^{i=N} \tau_{NOR} \left( \frac{W_{i+1}}{W_i} + \gamma_{NOR} \right)$$

pri čemu je uz pretpostavke za NOR  $L_n = L_p = L$  i  $W_p = 4W_n = 4W$

$$\tau_{NOR} = 5WC_g \times 0.69R_{eq}$$



Međutim u realnim primenama je teško očekivati da će kritična putanja prolaziti kroz lanac gde se nalaze potpuno identična kola. Da vidimo šta bi bilo u slučaju da je deo kritične putanje



i da probamo da optimizujemo kašnjenje kroz taj deo. Ukupno kašnjenje će biti

$$t_p = \tau_{NAND} \left( \frac{C_{g,i+1}}{C_{g,i}} + \gamma_{NAND} \right) + \tau_{inv} \left( \frac{C_{g,i+2}}{C_{g,i+1}} + \gamma_{inv} \right) + \tau_{NOR} \left( \frac{C_{g,i+3}}{C_{g,i+2}} + \gamma_{NOR} \right)$$



Deo kašnjenja kroz prva dva kola je  $t_{p,i(i+1)} = \tau_{NAND} \left( \frac{C_{g,i+1}}{C_{g,i}} + \gamma_{NAND} \right) + \tau_{inv} \left( \frac{C_{g,i+2}}{C_{g,i+1}} + \gamma_{inv} \right)$

Ako želimo da minimizujemo taj deo kašnjenja izvorom kapacitivnosti  $C_{g,i+1}$

$$\frac{\partial t_{p,i(i+1)}}{\partial C_{g,i+1}} = \tau_{NAND} \left( \frac{1}{C_{g,i}} \right) - \tau_{inv} \left( \frac{C_{g,i+2}}{(C_{g,i+1})^2} \right) = 0$$

$$\tau_{NAND} \left( \frac{C_{g,i+1}}{C_{g,i}} \right) = \tau_{inv} \left( \frac{C_{g,i+2}}{C_{g,i+1}} \right)$$

$$\tau_{NAND} FO_i = \tau_{inv} FO_{i+1}$$

gde je  $FO_i = \frac{C_{g,i+1}}{C_{g,i}}$  i  $FO_{i+1} = \frac{C_{g,i+2}}{C_{g,i+1}}$ . FO – fan out.

I kao što smo ranije rekli kod CMOS logičkih kola neće mogućnosti povezivanja više ulaza na jedan izlaz odrediti statičke karakteristike nego odnosi ovih kapacitivnosti kako bi se dobilo što manje kašnjenje.



Na isti način za sledeća dva kola u posmatranom primeru bi dobili

$$\tau_{inv} FO_{i+1} = \tau_{NOR} FO_{i+2}$$

Rezultat koji je dobijen praktično znači da bi dobili minimalno kašnjenje proizvodi  $\tau FO$  po svakom gejtju moraju biti izjednačeni. (uobičajen naziv za standardno logičko kolo je gejt).



Prilikom analize kritičnih putanja i sinteze digitalnih sistema sa što manjim kašnjenjem uvodi se formalniji metod posmatranja doprinosa kašnjenju svakog kola. Na primer kašnjenje koje smo posmatrali može da se napiše i u obliku

$$\frac{t_p}{\tau_{inv}} = \frac{\tau_{NAND}}{\tau_{inv}} \left( \frac{C_{g,i+1}}{C_{g,i}} + \gamma_{NAND} \right) + \frac{\tau_{inv}}{\tau_{inv}} \left( \frac{C_{g,i+2}}{C_{g,i+1}} + \gamma_{inv} \right) + \frac{\tau_{NOR}}{\tau_{inv}} \left( \frac{C_{g,i+3}}{C_{g,i+2}} + \gamma_{NOR} \right)$$

normalizovano na „kašnjenje“ jediničnog invertora. Odnosi  $\frac{\tau_{NAND}}{\tau_{inv}}$ ,  $\frac{\tau_{inv}}{\tau_{inv}}$  i  $\frac{\tau_{NOR}}{\tau_{inv}}$  nazivaju se **logičkim trudom pojedinih kola (logical effort) – LE**.

U tom slučaju normalizovano kašnjenje možemo da napišemo u obliku

$$D = \frac{t_p}{\tau_{inv}} = (LE_{NAND}FO_i + P_{NAND}) + (LE_{inv}FO_{i+1} + P_i) + (LE_{OR}FO_{i+1} + P_{OR})$$



u opštem slučaju za bilo koju kritičnu putanju

$$D = \sum_i (LE_i FO_i + P_i)$$

gde je:

$$LE_i = \frac{\tau_i}{\tau_{inv}} - \text{logical effort}$$

$$FO_i = \frac{C_{g,i+1}}{C_{g,i}} - \text{fan out}$$

$$P_i \text{ parazitna komponenta kola } P_i = LE_i \gamma_i$$

Na osnovu prethodnih rezultata za

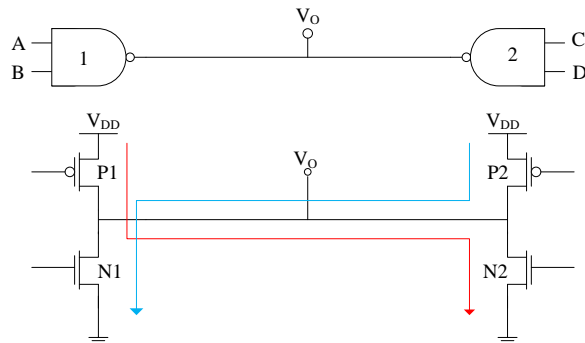
$$LE_{inv} = 1, P_{inv} = \frac{1}{2} \text{ a}$$

$$\text{za dvoulazna kola } LE_{NAND} = \frac{4}{3}, P_{NAND} = 1, LE_{NOR} = \frac{5}{3}, P_{NOR} = 1.5.$$

I to je takođe razlog što se NI logička kola „rade“ koriste  $LE_{NAND} < LE_{NOR}$ .



### Trostatička kola – kola sa stanjem visoke impedanse na izlazu



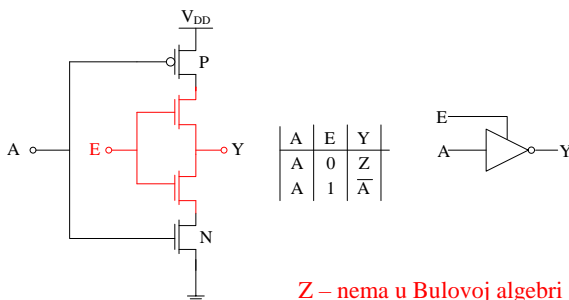
Treba $V_{O1}$	Treba $V_{O2}$	TN1	TP1	TN2	TP2	$V_O$
$V_L$	$V_L$	Vodi	Ne vodi	Vodi	Ne vodi	$V_L$
$V_L$	$V_H$	Vodi	Ne vodi	Ne vodi	Vodi	„DIM“
$V_H$	$V_L$	Ne vodi	Vodi	Vodi	Ne vodi	„DIM“
$V_H$	$V_H$	Ne vodi	Vodi	Ne vodi	Vodi	$V_H$

### ZABRANJENO SPAJANJE IZLAZA „OBIČNIH“ LOGIČKIH KOLA



### Trostatička CMOS logička kola

Umesto da se istovremeno koče tranzistori u PUN i PDN mreži kao što ćemo videti kod logičkih kola sa bipolarnim tranzistorima, kod CMOS logičkih kola se ubacuju dodatni tranzistori između PUN i PDN mreže koji se istovremeno koče ili vode, kako bi se ostvarilo stanje visoke impedanse odnosno normalan režim rada.



Z – nema u Bulovoj algebri

Uočite da su oba tranzistora koja su „ubačena“ prema izlazu nMOS tranzistori koji će istovremeno biti zakočeni kada je na ulazu E napon logičke nule, a imati oba uslove za provođenje kada je na ulazu E napon logičke jedinice. Koji će zaista provoditi zavisi, kada imaju uslove za provođenje zavisice od stanja PUN odnosno PDN mreže. Ne zaboravite da sada postoje i kašnjenja  $t_{pLZ}$ ,  $t_{pHZ}$ ,  $t_{pZL}$  i  $t_{pZH}$ , koja su ovde evidentno prouzrokovana kašnjenjem kroz dva dodatna tranzistora.

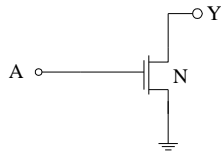
### SMEMO KRATKOSPAJATI IZLAZE AKO SMO SIGURNI DA JE SAMO JEDNO KOLO VAN STANJA VISOKE IMPEDANSE



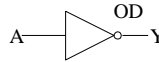
## NMOS kola sa otvorenim drejnom

Ne postoji PUN mreža. Ostavljena korisniku da je napravi, doda.

Onako kako mu u aplikaciji odgovara. Najčešće dodatak otpornika.



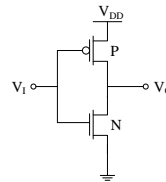
A	Y
0	Z
1	0



**SMEMO KRATKOSPAJATI IZLAZE**

Uočite da kada je N tranzistor zakočen linija je u stanju visoke impedanse.

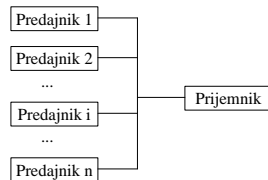
Uočiti: NMOS i CMOS logička kola kada su im na ulazima stanja visoke impedanse (kolokvijalno – vise) shvataju „smetnje“.



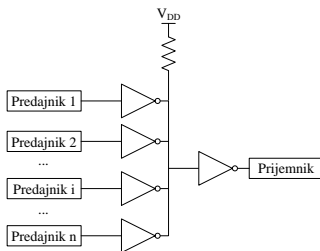
**Z – nema u Bulovoj algebri**



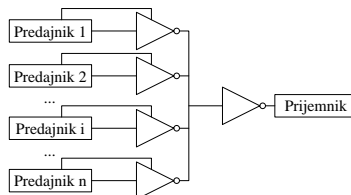
Gde su potrebna trostatička kola i kola sa otvorenim drejnom



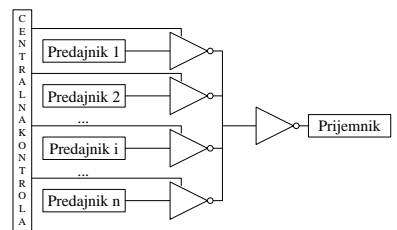
Kako je moguće rešiti a da se „ne spajaju kratko izlazi“



Kola sa otvorenim drejnom

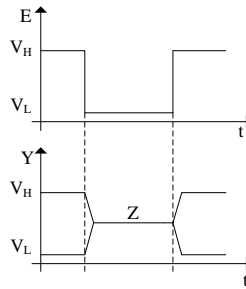


Trostatička kola

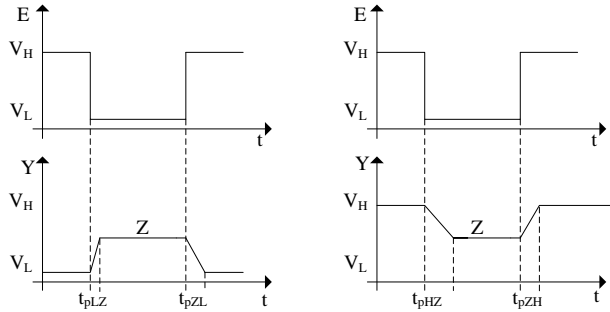




Kako se crta u vremenskim dijagramima



„dodatna“ kašnjenja



Katedra za elektroniku  
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

49

49

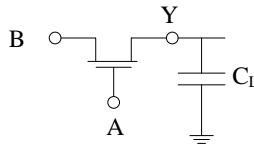
## PTL logička kola

(pass transistor logic)

Prolazna logička kola su nastala u cilju da se smanji broj potrebnih tranzistora, odnosno površina koju zauzimaju. Ovo smanjenje je naročito moguće kod selektorskih logičkih funkcija:

ako je  $A$  onda ..., a kao nije  $A$  odnosno jeste  $\bar{A}$  onda ...

Osnovna ideja prolaznih logičkih kola je kontrola prenosa signala sa ulaza na izlaz putem jednog tranzistora



podrazumevajući da je izlaz kapacitivno opterećen (često se zbog toga svrstava i u „dinamička“ logička kola, mada je princip rada ipak drugačiji).



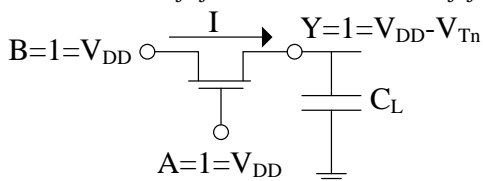
Katedra za elektroniku  
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

50

50

Samo je jedan nMOS tranzistor koji je simetrične strukture pa može da vodi u oba smera

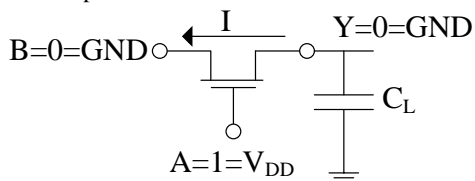


1. slučaj

U 1. slučaju kada je aktivan selekcionni signal  $A = 1$  i funkcija  $B$  ima vrednost 1 izlazna kapacitivnost će se preko selekcionog, prolaznog, tranzistora napuniti na napon logičke jedinice ali na žalost na napon

$$V_Y = V_{DD} - V_{Tn} \text{ ili tačnije } V_Y = V_A - V_{Tn}$$

i dolazi do degradacije, smanjenja, napona logičke jedinice. Na kraju prelaznog režima prolazni tranzistor radi u zasićenju ( $V_{DG} \approx 0, I = 0, V_{GS} = V_{GTn}$ ).

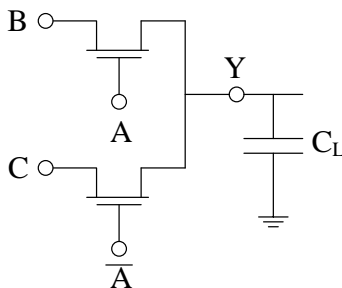


2. slučaj

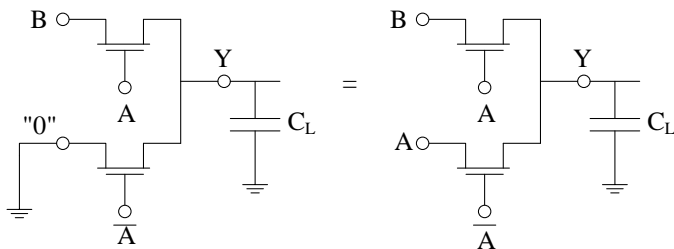
U 2. slučaju kada je aktivan selekcionni signal  $A = 1$  i funkcija  $B$  ima vrednost 0 izlazna kapacitivnost će se preko selekcionog, prolaznog, trnazistora isprazniti na napon logičke logičke nule. Na kraju prelaznog režima prolazni tranzistor radi u omskoj oblasti ( $I = 0, V_{GS} \approx V_{DD}, V_{DS} = 0$ ).



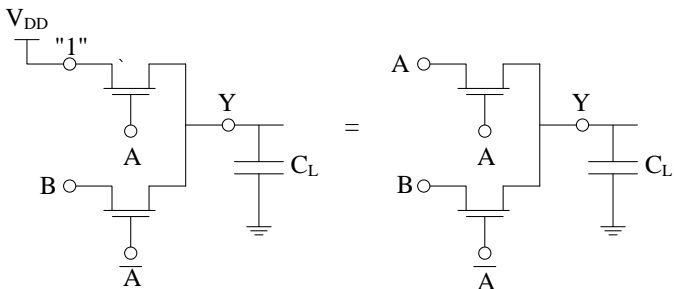
Problem koji nastaje je šta ako je selekcionni signal  $A = 0$ . U tom slučaju bi prolazni tranzistor bio zakočen i kapacitivnost na izlazu bi ostala na nivou na kojem je bila pre dovođenja selekcionog signala na 0 odnosno izlaz bi bio u stanju visoke impedanse. Nije nam to cilj. Zato moramo obezbediti i šta se dešava u ovom slučaju, odnosno vraćamo se na početnu ideju, selektorskih logičkih funkcija.



dvoulazno I kolo

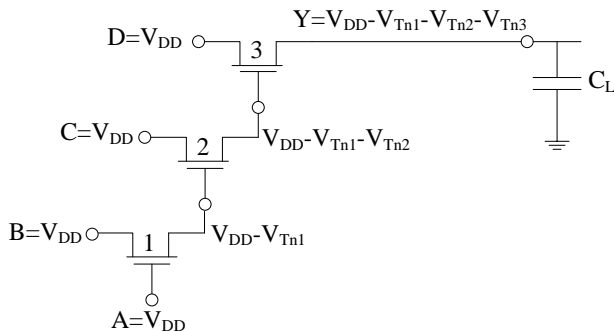


dvoulazno ILI kolo



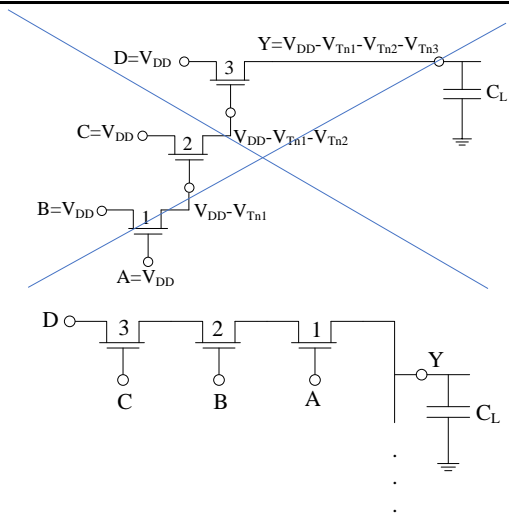
Ono što takođe treba da uočite da u 1. slučaju koji smo imali dolazi principski do još veće degradacije naponskih nivoa pošto je tada sors nMOS tranzistora na visokom potencijalu, različitom od potencijala osnove pa dolazi i do izražaja promene praga  $V_{Tn}$  zbog različitih potencijala sorsa i osnove.

U tom smislu ako bi želeli da napravimo višoulaznu logiku na način



u situaciji prikazanoj na slici došlo bi do značajne degradacije logičkih signala na izlazu pri čemu su zbog različitih polarizacija sorsa u odnosu na osnovu i različiti pragovi  $V_{Tn}$  pojedinih tranzistora. Osnove su kao i uvek na potencijalu mase.



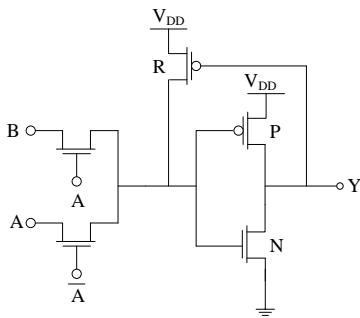


Pravilno povezivanje je

koje će u istoj situaciji  $V_A = V_B = V_C = V_D = V_{DD}$  dati  $V_Y = V_{DD} - V_{Tn}$ . Normalno ostatak mreže je realizovan na način selektorskih funkcija da bi se izbeglo neodređeno stanje na izlazu odnosno stanje visoke impedanse.



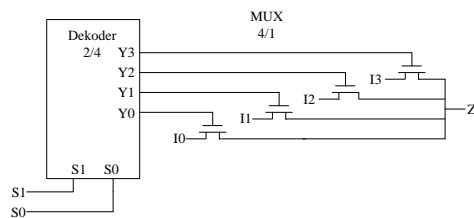
Da degradirani naponski nivoi ne bi dalje propagirali u ostatak kola na izlaz dela koji je realizovan prolaznom logikom po pravilu se dodaje standardno CMOS logičko kolam odnosno inverter, čime se dobijaju na primer i NI, NILI logička kola itd...



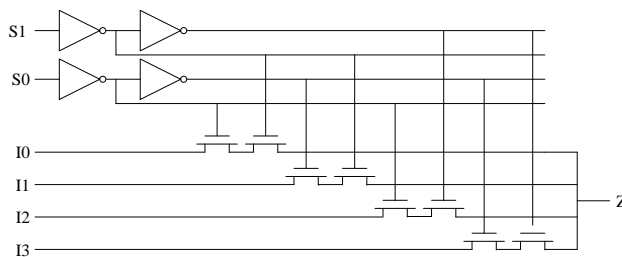
Na slici je prikazana i dodatna mogućnost, odnosno dodavanje tranzistora R za restauraciju naponskih nivoa. Kada prolazna logika treba da da logičku jedinicu na izlazu invertora će biti logička nula. Tada će voditi tranzistor R i on će dopuniti parazitarne kapacitivnosti do pravog napona, napona logičke jedinice odnosno  $V_{DD}$ . Međutim treba voditi računa o dimenzijama tranzistora R pošto prilikom prelaska izlaza sa logičke nule na logičku jedinicu treba obezbediti da tranzistori prolazne logike mogu da daju dovoljan napon logičke nule kako bi se tranzistor N zakočio. Ova situacija je praktično identična kao kod pseudo NMOS invertora koji treba da da logičku nulu na izlazu. Jednačine i odnosi su tamo definisani.



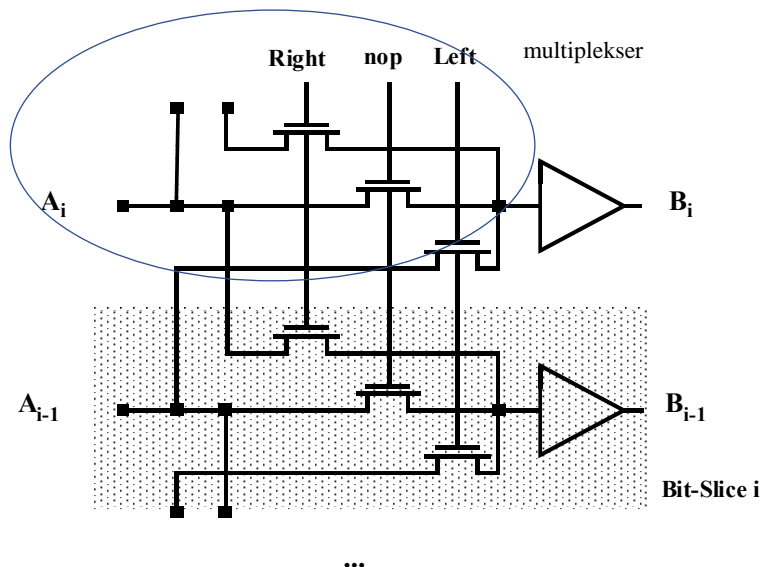
## Multiplexer u pass tranzistorskoj logici



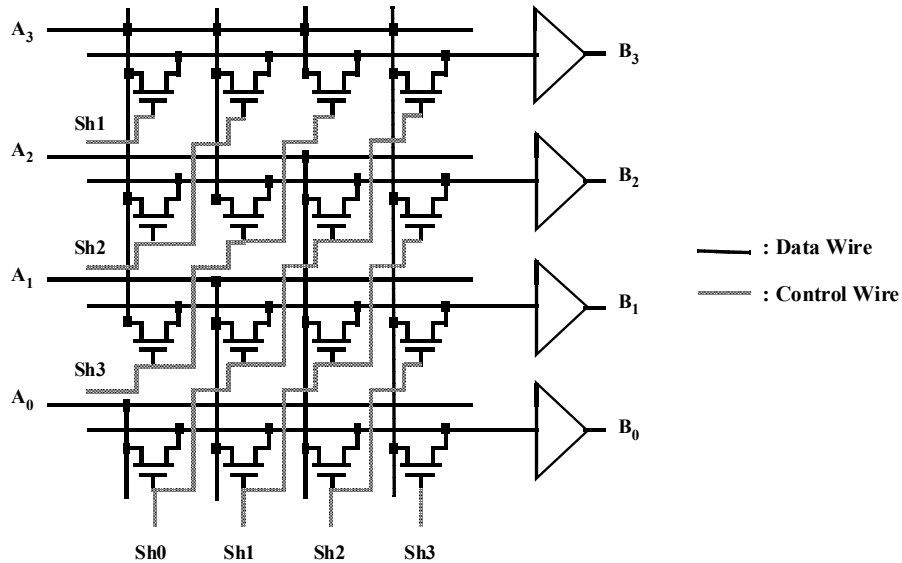
a i sam dekodner u pass tranzistor logici i sve zajedno



## Pomerač – Shifter – množenje, deljenje sa 2



## Pomerač – Barrel Shifter – programabilno množenje, deljenje sa $2^n$



Katedra za elektroniku  
prof dr Lazar Saranovac

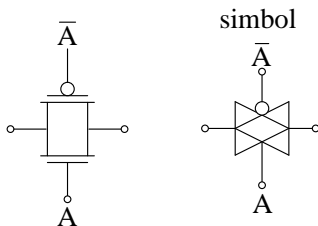
Digitalna elektronika 1 - 2021/22

59

59

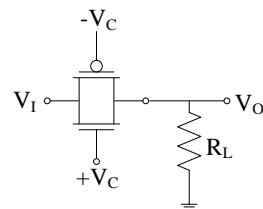
## Transmisioni gejt

Da bi se izbegao problem degradacije naponskih nivoa u realizaciji, pogotovo analognih delova digitalnog sistema koriste se transmisioni gejtovi ili bilateralni prekidači. Paralelno sa nMOS tranzistorom dodaje se pMOS tranzistor kako bi se obezbedilo provođenje „prekidača“ u raznim uslovima rada. Takođe se koristi pretežno u realizaciji selektorskih funkcija.



Na slici namerno nisu označeni ulazni i izlazni priključci pošto je struktura simetrična i potpuno je svejedno gde će biti ulaz odnosno izlaz

Da bi bolje uočili način rada da vidimo šta se dešava u raznim situacijama kada se koristi kao analogni prekidač odnosno tada se najčešće i zove bilateralnim prekidačem. Smatraćemo da je kontrolni napon  $V_C = \pm 15V$  a videćemo šta se dešava kada se na ulazu menja napon  $-12V \leq V_I \leq +12V$



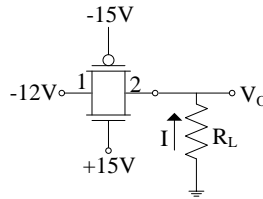
Katedra za elektroniku  
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

60

60

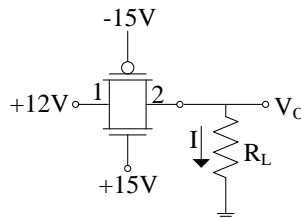
Slučaj  $V_C = +15V$ ,  $V_I = -12V$



N tranzistor sigurno ima uslove za provođenje tako što će mu sors biti na strani 1. Radi sa velikim naponima između gejta i sorsa i sa velikom strujom. Struja kroz  $R_L$  će teći u smeru prikazanom na slici pa je napon na drejnu N tranzistora negativan i on sigurno radi u omskoj oblasti. Ako je otpornost  $R_L$  mnogo veća od dinamičke otpornosti N tranzistora koji radi u omskoj oblasti  $V_O \approx -12V$ , bez degradacije naponskih nivoa. Bitno je da uočite šta se dešava sa P tranzistorom. Pod pretpostavkom da je  $V_{Tn} \approx -V_{Tp} < 3V$  i tranzistor P ima uslove za provođenje. Njegov napon između gejta i sorsa je  $V_{GS} < V_{Tp}$ . Sors mu je na strani 2. Zbog malog napona između drejna i sorsa (obežbeđuje N tranzistor) on je takođe u omskoj oblasti, ali zbog relativno malog napona između sorsa i gejta sa velikom otpornošću.



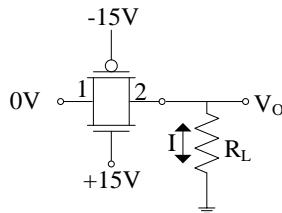
Slučaj  $V_C = +15V$ ,  $V_I = -12V$



Sada P tranzistor ima sjajne uslove za provođenje. Sors mu je sa strane 1, pa je napon između sorsa i gejta velik. Zbog toga će radi sa velikom strujom koja je u smeru kako je prikazano na slici. Napon na drejnu će biti pozitivan i on će raditi u omskoj oblasti. Ako je otpornost  $R_L$  velika i veća od dinamičke otpornosti tranzistora izlazni napon će biti  $V_O \approx +12V$ . Bitno je da uočite šta se dešava sa N tranzistorom. Njegov napon između gejta i sorsa je  $V_{GS} > V_{Tn}$ . Sors mu je na strani 2. Zbog malog napona između drejna i sorsa (obežbeđuje P tranzistor) on je takođe u omskoj oblasti, ali zbog relativno malog napona između gejta i sorsa sa velikom otpornošću.



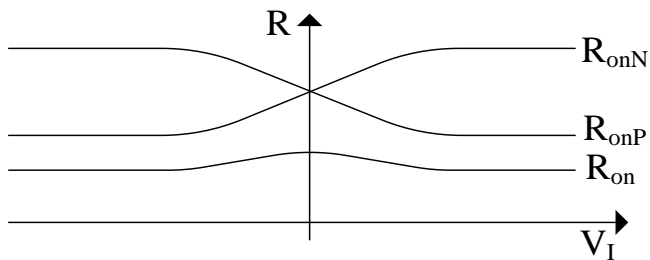
Slučaj  $V_C = +15V, V_I = 0V$



Da vidimo za N tranzistor. Ima sigurno uslove za provođenje. Ako mu je sors na strani 1 struja kroz otpornik  $R_L$  bi tekla iz mase pa bi napon na drejnu tranzistora bio negativan, što nije moguće. Ako pretpostavimo da mu je sors na strani 2, struja kroz otpornik  $R_L$  bi tekla u masu, pa bi napon na sorsu bio veći od napona na drejnu što takođe nije moguće. Nebitno na kojoj strani je sors, očigledno je da N tranzistor mora da radi sa strujom koja je jednaka nuli odnosno da radi u omskoj oblasti sa malom dinamičkom otpornosti. Potpuno identično razmišljanje možemo da izvedemo i za P tranzistor, odnosno dolazimo do zaključka da će  $V_O = 0V$ .

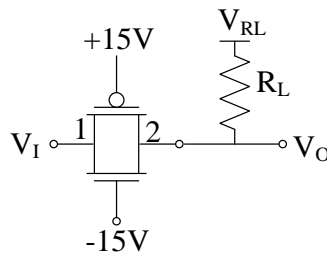


U sva tri slučaja imamo da se ulazni napon prenosi na izlaz bez degradacije naponskih nivoa i da uvek rade oba tranzistora. U zavisnosti od ulaznog napona uvek će jedan raditi sa malom dinamičkom otpornošću





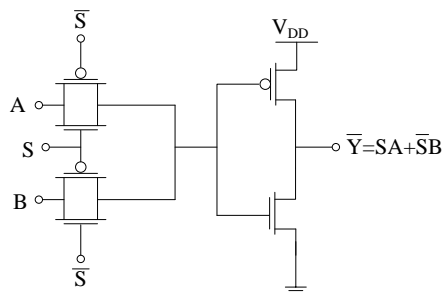
Slučaj  $V_C = -15V$ ,



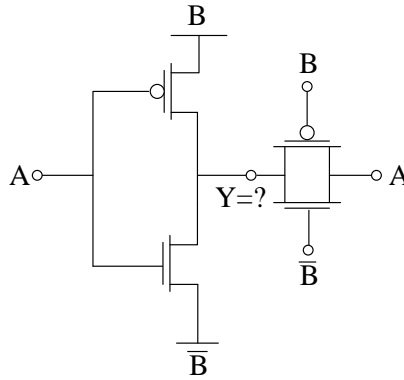
Ako je ulazni napon  $-12V \leq V_I \leq +12V$  ni N ni P tranzistor nemaju uslove za provođenje tako da će izlaz prekidača biti u stanju visoke impedanse, otvoren prekidač, a u situaciji na slici  $V_O = V_{RL}$  bez obzira koliki je napon  $V_{RL}$ , bitno je samo da je iz opsega  $\pm 15V$ .



Situacija kada se prekidač koristi kao transmisioni gejt u digitalnoj logici je potpuno identična. Ako je kontrolni signal jednak 1 na N tranzistoru i 0 na P tranzistoru oba tranzistora „imaju uslove za provođenje“ u zavisnosti od ulaznog napona. Ulazni napon 1, vodi P tranzistor, ulazni napon 0 vodi N tranzistor. Ako je kontrolni signal jednak 0 na N tranzistoru i 1 na P tranzistoru, oba tranzistora su zakočena.



?



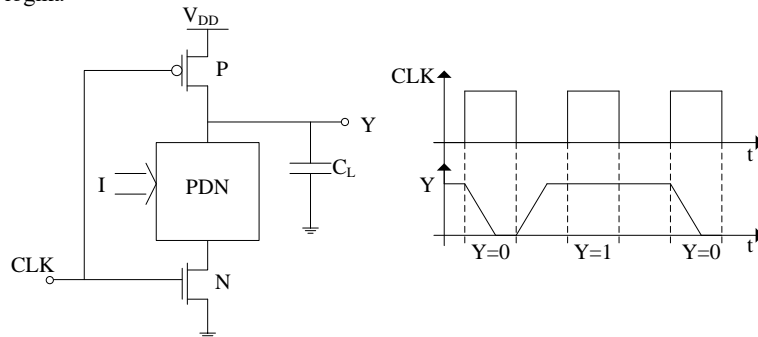
67

### Dinamička logika

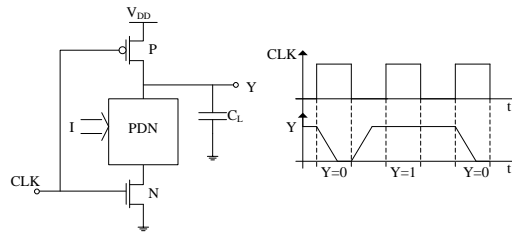
Problem koji se pojavljuje kod složenih CMOS logičkih kola jeste velik broj pMOS tranzistora sa velikim površinama u PUN mreži.

To može da se reši pseudo NMOS tehnologijom ali na taj način dobijamo veliku dispaciju kada je logička nula na izlazu.

U situaciji kada raspoložemo sinhronizacionim signalom sa kojim treba da radi naš digitalni sistem jedno od mogućih rešenja jeste i dinamička logika



68



Konstrukcija dinamičkog logičkog kola je ista kao i kod složenih CMOS kola u domenu PDN mreža. Koristi se samo PDN mreža čiji je rad uslovljen sinhronizacionim signalom CLK.

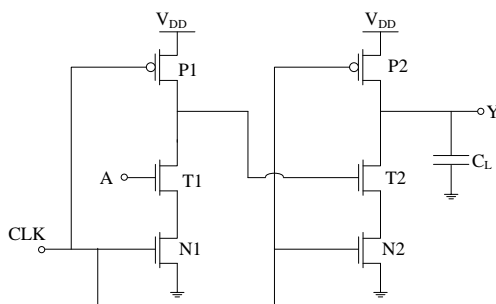
Kada je sinhronizacioni signal na nivou logičke nule vodi P tranzistor i on će puniti kapacitivnost na izlazu na logičku jedinicu, bez obzira na PDN mrežu pošto je njen donji kraj odvojen od mase, N tranzistor je zakočen. Ova faza se naziva pripremnom fazom odnosno precharge.

Kada je sinhronizacioni signal na nivou logičke jedinice P tranzistor je zakočen. N tranzistor vodi i obezbeđuje putanju struje prema masi za PDN mrežu. U zavisnosti od ulaza, odnosno šta treba na izlaz da postavi PDN mreža ona će ili prazniti izlaznu kapacitivnost ako na izlazu treba da bude logička nula, ili će i PDN mreža biti „zakočena“ kada na izlazu treba da bude logička jedinica, pa se kapacitivnost neće prazniti odnosno na izlazu će biti logička jedinica. Ova faza se naziva fazom izračunavanja i pri njenom kraju smo sigurni u logički nivo na izlazu, normalno ako smo usaglasili brzinu sinhronizacionog signala i brzinu rada PDN mreže.



## Domino logika

Kod dinamičke logike ozbiljan problem leži prilikom kaskadne veze funkcija. Da vidimo to na jednostavnom primeru

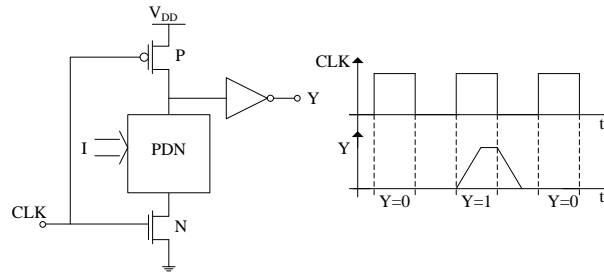


Ako je A na logičkoj nuli, u fazi pripreme kapacitivnost tranzistora T2 će se napuniti na  $V_{DD}$ . U fazi izračunavanja tranzistor T1 je zakočen, tranzistor T2 će voditi i prazniće izlaznu kapacitivnost, tako da će na kraju faze izračunavanja biti logička nula na izlazu kao što i treba da bude. Dvostruka inverzija.

Ako je A na logičkoj jedinici, u fazi pripreme kapacitivnost tranzistora T2 će se napuniti na  $V_{DD}$ . U fazi izračunavanja tranzistor T1 je voditi i prazniće kapacitivnost tranzistora T2. Međutim tranzistor T2 će voditi dok god mu se ne isprazne njegove kapacitivnosti a samim time će prazniti i izlaznu kapacitivnost. Može da se desi da na kraju faze izračunavanja napon na izlazu padne ispod logičke jedinice koja bi trebala da bude na izlazu.



Ovaj problem razrešava domino logika, koje je po strukturi **dinamička logika sa dodatim invertorom na izlazu.**



Invertor obezbeđuje da se na kraju pripreme faze, odnosno na početku izračunavanja, na gejtovima svih tranzistora u narednom stepenu nalaze logičke nule i time se sprečava njihov neželjen rad.

U toku faze izračunavanja ako je potrebno uključice se odgovarajući tranzistori.

Mana je što sve funkcije koje realizujemo moraju biti invertovane.

